

公開実用 昭和63- 131116

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭63- 131116

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988) 8月26日

H 01 G 1/14
H 01 C 1/012
H 01 G 1/035
H 05 K 1/18

7924-5E
7303-5E
7924-5E
K-6736-5F

審査請求 未請求 (全 頁)

⑭ 考案の名称 チップ素子

⑮ 実 願 昭62-23162

⑯ 出 願 昭62(1987) 2月18日

⑰ 考 案 者 高 橋 暁 美 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内

⑱ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号
コンシステム株式会社

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

考案の名称

チップ素子

実用新案登録請求の範囲

回路基板のスルーホールに差込む突起部が電極に設けられていることを特徴とするチップ素子。

考案の詳細な説明

〔産業上の利用分野〕

本考案はチップコンデンサ、チップ抵抗などのチップ素子に関する。

〔従来の技術〕

従来のチップ素子は、回路基板の導電性の素子取付パターンに電極をはんだ付けすることによって搭載するようになっていたので、チップ素子の位置ずれを考えに入れて素子取付パターンの大きさを決める必要があった。

第4図は従来のチップ素子を回路基板に搭載し



た混成 I C の分解斜視図である。

チップ素子 1 の電極 2 a , 2 b をそれぞれ回路基板 6 の素子取付パターン 5 a , 5 b にはんだ付けするのであるが、素子取付けパターン 5 a , 5 b はチップ素子 1 の大きさよりかなり大きくしておかなければならないし、又、チップ素子の位置決めを目安として回路機能上無意味なフローティングパターン 8 を必要とする。

〔 考案が解決しようとする問題点 〕

上述した従来のチップ素子は、電極を回路基板にはんだ付けするので、素子取付パターンやフローティングパターンを回路基板に設けなければならない、高密度実装に適していないという欠点がある。

〔 問題点を解決するための手段 〕

本考案のチップ素子は、回路基板のスルーホールに差込む突起部が電極に設けられているというものである。

〔 実施例 〕

次に、本考案の実施例について図面を参照して

説明する。

第1図(a)，(b)はそれぞれ本考案の一実施例の正面図及び底面図である。

この実施例は、回路基板のスルーホールに差込む突起部2a'，2b'がそれぞれ電極2a，2bに設けられているものである。

第2図，第3図はそれぞれ本発明のチップ素子を回路基板に搭載した混成ICの分解斜視図及び断面図である。

両面回路基板6内の配線パターン7a，7bとチップ素子1の電極2a，2bをそれぞれ電氣的に接続する為両面回路基板6内のスルーホール3a，3bの中にチップ素子1の回路基板と接触する側の電極の面に付けた突起部2a'，2b'を差込む。従って、回路基板としては、チップ素子の位置決めの目安として用いるフローティングパターンやチップ素子を半田付けする為の素子取付けパターンが不必要となりその位置に配線が引き回せる為高密度配線が可能となる。

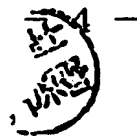
〔考案の効果〕

以上説明したように本考案のチップ素子はその電極に突起部を有しているので、回路基板への実装に際し突起部をスルーホールに差込めばよく、チップ素子の位置ずれは生じないので、回路基板の素子取付パターンが不要となり、回路基板上の配線パターンの設計も容易になるから、高密度実装に好適なチップ素子が得られるという効果がある。

図面の簡単な説明

第1図(a)、(b)はそれぞれ本考案の一実施例の正面図及び底面図、第2図、第3図はそれぞれ本考案のチップ素子を回路基板に搭載した混成ICの分解斜視図及び断面図、第4図は従来のチップ素子を回路基板に搭載した混成ICの分解斜視図である。

1…チップ素子、2a、2b…電極、2a'、2b'…突起部、3a、3b…スルーホール、4…レジスト膜、5a、5b…素子取付パターン、6…回路基板、7a、7b…配線パターン、8…

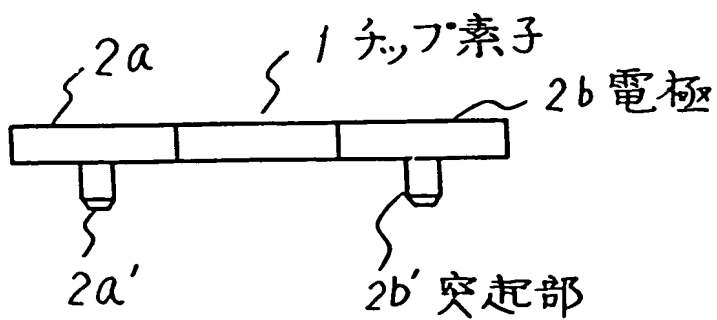


フローティングパターン。

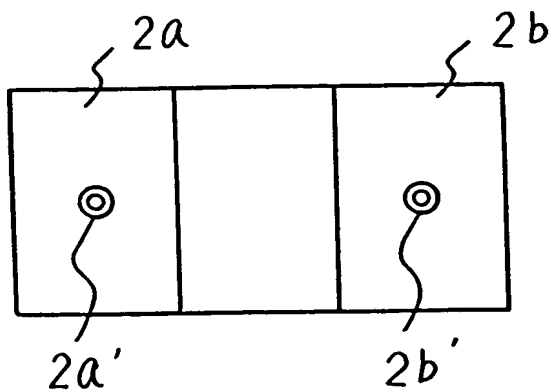
代理人 弁理士 内 原

晋



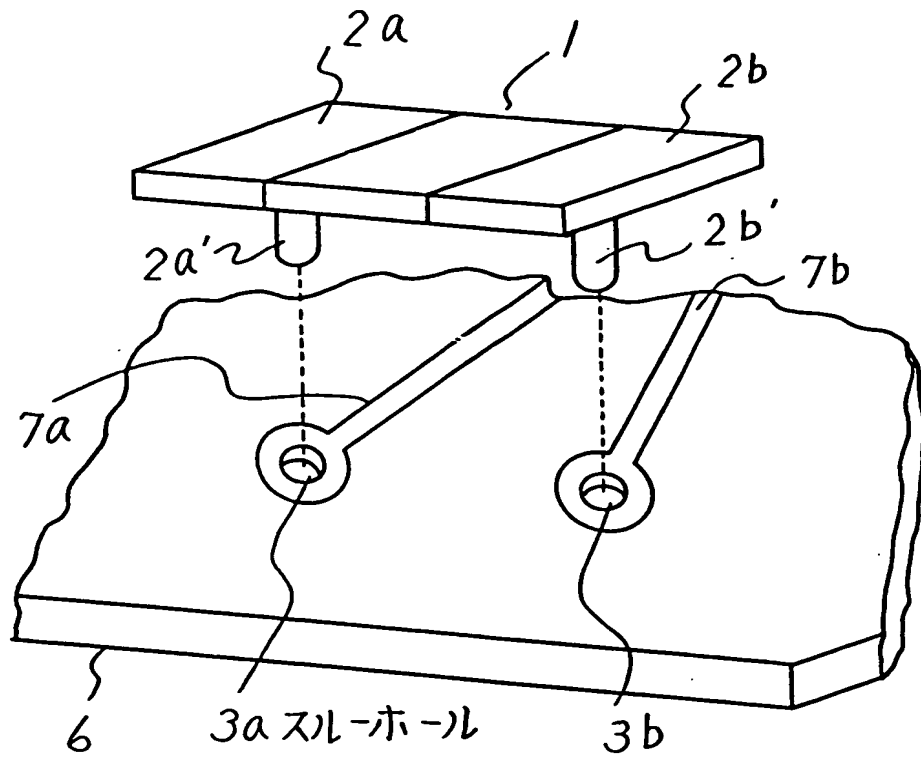


(a)

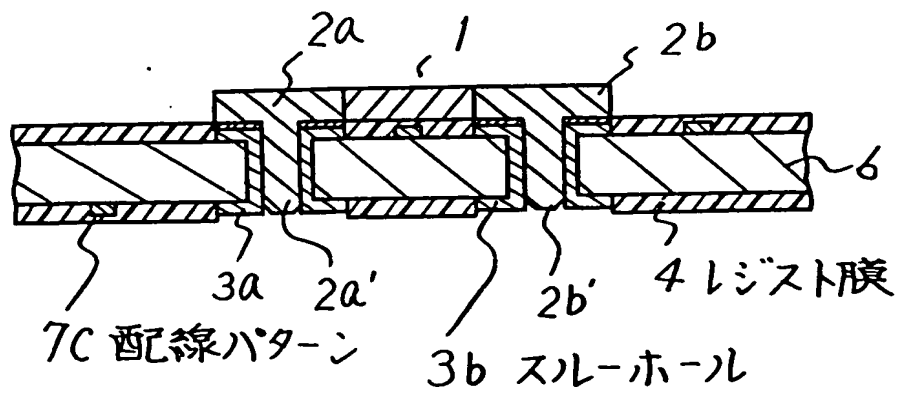


(b)

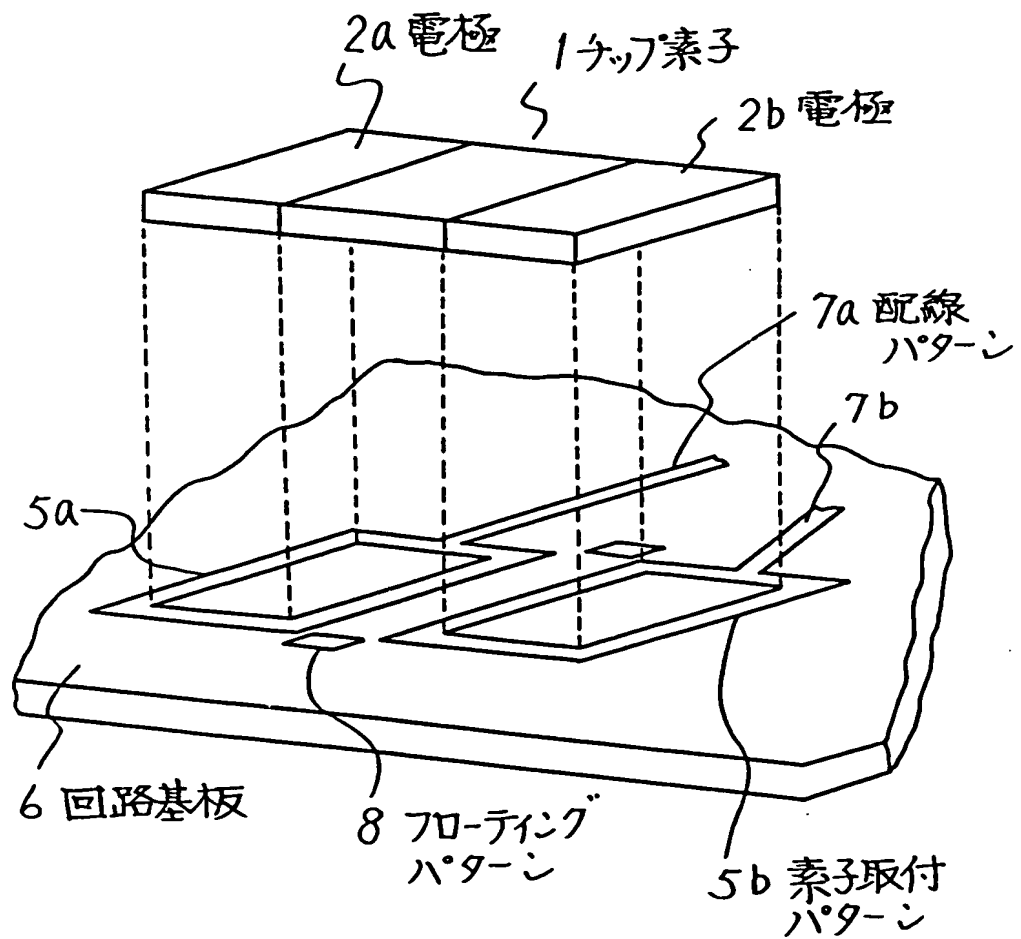
第 1 図



第 2 図



第 3 図



第4図